

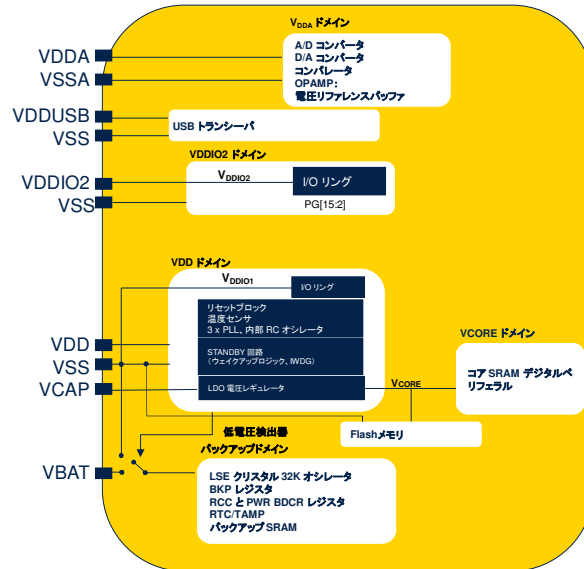


こんにちは。このプレゼンテーションでは、STM32U5 の電源コントローラについて説明します。
STM32U5 の電源管理機能およびすべての低消費電力モードについても、このプレゼンテーションに含まれます。

電源 – LDO デバイス

STM32U575xxxx および STM32U585xxxx

- 内部電圧レギュレータ: LDO: 外部 4.7 μ F のコンデンサが必要
- 独立電源:
 - VDD = 1.71 V (パワーアップ時) から 3.6 V、最小 BOR0 まで約 1.58 V
 - VDDA = 1.62 V (ADC、DAC、COMP、OPAMP) / 1.8 V (VREFBUF) から 3.6 V
 - VDDUSB = 3 V ~ 3.6 V
 - VVDDIO2 = 1.08 V ~ 3.6 V
 - VBAT = 1.58 V (最小 BOR) ~ 3.6 V



2

STM32U5 デバイスには複数の独立電源があり、異なる電圧にセットしたり、互いに接続したりできます。主電源は VDD で、VBAT ドメインの一部と 15 ~ 2 までのポート G パッドを除く、ほぼすべての I/O に供給されます。

VDD は、Flash メモリ、リセットブロック、温度センサ、およびすべての内部クロックソースにも供給されます。また、ウェイクアップロジックや独立型ウォッチドッグを含む STANDBY 回路に供給されます。

STM32U575xxxx および STM32U585xxxx マイクロコントローラは、統合されたレギュレータにのみ依存します。

V_{CORE} は、ほとんどのデジタルペリフェラル、SRAM、および Flash メモリコントローラに供給されます。

V_{DDA} 電圧は、アナログペリフェラルに供給されます。

VREF+ ピンは、A/D コンバータおよび D/A コンバータに基準電圧を供給します。

有効時、内部電圧リファレンスバッファの出力にもなります。

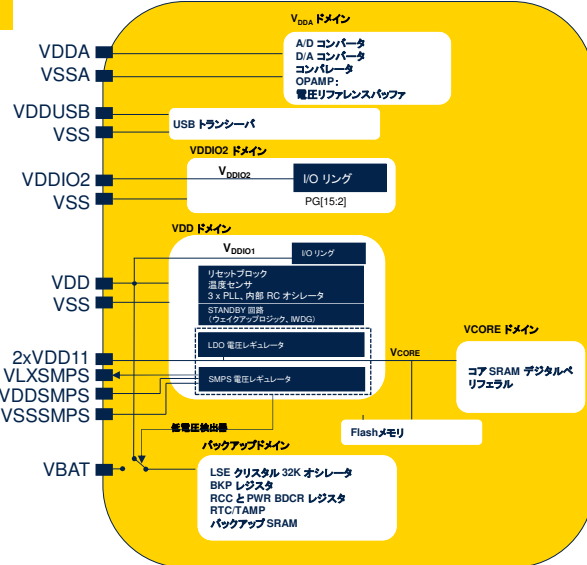
さらに、USB トランシーバと 15 ~ 2 のポート G ピンには、独自の独立電源ドメインがあり、それぞれ VDDUSB と VDDIO2 から電力が供給されます。

バックアップドメインに電源を供給するために、バックアップバッテリーを VBAT ピンに接続できます。

電源 – SMPS デバイス

STM32U575xxxxQ および STM32U585xxxxQ

- 内部電圧レギュレータ: LDO および SMPS: 外部 $4.7\ \mu\text{F}$ のコンデンサに加え、SMPS 用の外部 $2.2\ \mu\text{H}$ のコイルが必要
- $V_{\text{DDSMPS}} = 1.71\ \text{V} \sim 3.6\ \text{V}$ で、VDD と同じ電源である必要がある
- VLXSMPS: SMPS ステップダウンコンバータの切替え後の出力
- SMPS は、内部負荷への供給のみを目的として設計されています(外部コンポーネントへの供給には使用できません)。



3

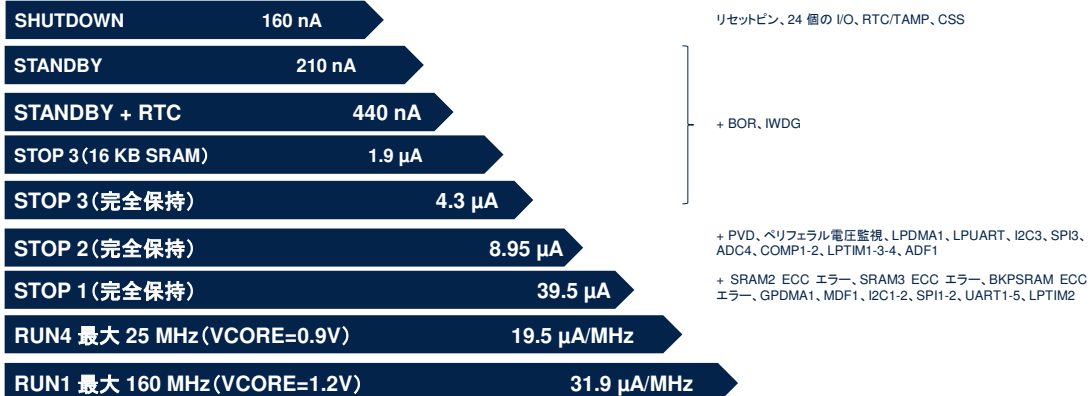
内蔵のスイッチモード電源 (SMPS) ステップダウンコンバータは、電力効率の良い DC-DC ノンリニアスイッチングレギュレータで、低電力性能を向上させます。

SMPS は、VDD11 (2 本のピン) 上に V_{CORE} 電圧を生成します。STM32U575xxxxQ と STM32U585xxxxQ のみが SMPS をサポートします。

超低電力モード

最大限の柔軟性を備えた最高の消費電力値

ウェイクアップソース



4

STM32U5 デバイスは、電力モード管理の柔軟性を高め、アプリケーション全体の消費電力をさらに低減する、柔軟性の高い電源制御を備えています。

このスライドでは、STM32U585 と関連するウェイクアップソースの一部の電力モードでの消費電力について説明します。

これらのデバイスは RUN モードでの消費電力を最適化するために、ダイナミック電圧スケールリングをサポートしています。ロジックに供給されるメインレギュレータ (VCORE) からの電圧は、システムの最大動作周波数に合わせて調整できます。

周波数と電圧を下げると、消費電力はさらに低くなります。

STM32U5 デバイスは、SLEEP、STOP 0、STOP 1、STOP 2、STOP3、STANDBY、および SHUTDOWN モードの 7 つの主な低消費電力モードをサポートしています。

各モードは、いくつかの追加サブモードを使用して、さまざまな方法で設定できます。

さらに、STM32U5 デバイスは、VBAT と呼ばれるバッテリーバックアップドメインをサポートしています。

電源管理の高い柔軟性により、CoreMark スコアが 4.07/MHz の高い性能と、優れた電力効率の両方を実現します。

BOR/PVD

- STM32L4/L5 と同様の BOR および PVD
 - 5 つの BOR 閾値、7 つの PVD 閾値
 - STANDBY モードでは、最小消費電力 (PWR_CR1[ULPMEN]=1) で VDD 立ち下がりの最小スルーレートの高い BOR/PVD 電圧基準を「サンプリングモード」にセットできます。

- VBAT モードでは、VBAT 電源にも追加の BOR が内蔵されます。

	最小値	最大値	単位
V(BOR_VBAT)	1.58	1.65	V



5

パワーオンおよびパワーダウン時でもデバイスの安全な動作を保証するために、ブラウンアウトリセット (BOR) が実装されます。

このユニットは、RTC および TAMP ブロックと外部ロースピードオシレータ LSE を含む VBAT によって供給されるバックアップドメインにあるレジスタを除くすべてのレジスタをリセットします。

STANDBY モードの終了時に、メインレギュレータから供給されるすべてのレジスタがリセットされます。

SHUTDOWN モードの終了時に、電源リセットが生成されます。

BOR のレベルはオプションバイトで 5 種類から選択できます。

パワーオン時、電源電圧 VDD が規定の VBOR の閾値に達するまで、BOR によってデバイスはリセット状態に保持されます。

ブラウンアウトリセット回路は、SHUTDOWN モードを除き、常にオンです。

STANDBY モード中は、ULPMEN ビットをセットすることによって、消費電流をさらに低減するために超低電力モードで BOR を設定することができます。

VBAT は、VDD が存在しない場合、RTC、TAMP、32 kHz の外部クロックオシレータおよびバックアップレジスタ (電源スイッチ経由) の電源です。機能は、VBOR_VBAT の最小値である 1.58V まで保証されます。

電源電圧検出器 (または PVD) は、VDD が選択された閾値を超えると、割込みを生成できます。PVD は、STOP3、STANDBY、および SHUTDOWN モードを除くすべてのモードで有効にできます。閾値は、ソフトウェアによって選択可能な 7 つの値から選択されます。

また、VREFINT と PVD_IN 外部ピンを比較できます。

STM32U5 では、電源供給の監視を拡張する 2 つの新機能についてもサポートしています。

– 温度閾値モニタ

– 上限 VDD 閾値モニタ

これらのモニタは、異常状態の検出時に、いつでも内部タンパイイベントを生成できます。

独立電源:

- リセット後、すべての独立した電源 (VDDA、VDDUSB、VDDIO2) はデフォルトで論理的および電氣的に隔離される
 - 関連するペリフェラルまたは I/O を使用する前に、ソフトウェアによって隔離を解除する必要があります。
- 電圧モニタは、電源が供給されているかどうかを確認します。
 - STOP からのウェイクアップ機能のある、EXTI を使用した立ち上がりエッジおよび立ち下がりエッジの検出

AVM1	AVM2	IO2VM	UVM
1.6 V	1.8 V	1.0 V	1.2 V



6

ADC および DAC 変換の精度を向上させ、供給の柔軟性を拡張させるため、アナログペリフェラルには独立した電源が供給されます。この電源は、PCB のノイズを防ぐために、個別にフィルタシールドすることができます。VDDA、VDDUSB、および VDDIO 電源を VDD から独立させることができ、専用のペリフェラル電圧モニタ (PVM) で監視できます。VDDA 電源はアナログ電圧モニタ (AVM) で監視され、2 つの閾値 (AVM1 では 1.6 V または AVM2 では 1.8 V) と比較できます。IO2 と USB には、それぞれ独自の電圧モニタである IO2VM と UVM があります。各 PVM 出力は EXTI ラインに接続され、EXTI レジスタで有効な場合は割込みを生成させることができます。リセット後、これらの独立した電力ドメインは、論理的および電氣的に隔離されているため、使用できません。アナログペリフェラルを使用する前に、関連する電源が存在するときに制御ビットをセットすることで、隔離を解除する必要があります。

内部電圧レギュレータ

- SMPS と LDO は並列であり、アプリケーションで動作中に選択可能
 - LDO: 低ノイズ
 - SMPS: 効率向上
- パワーオンリセット後の突入電流を制限する「ソフトウェア起動モード」をサポート

	FSTEN=0	FSTEN=1
	制限された突入電流: 10 mA	高速起動モード: 120 mA
利点	低電流駆動のバッテリーに対応	
欠点	ウェイクアップ時間が長い	ウェイクアップ時間がより速い

=> 次のシステムリセット、低消費電力モードからのウェイクアップ時に適用 (SHUTDOWN モードは除く)
=> VBAT モードの終了時または次のパワーオン時には適用されない

- レギュレータバイパスモードはサポートされない



7

デバイスには 2 つのレギュレータが内蔵されています。LDO と SMPS は 1 つずつあり、並列で、デジタルペリフェラル、SRAM (バックアップ SRAM を除く)、および内蔵 Flash メモリに VCORE 電源を供給します。

両方のレギュレータは、ダイナミック電圧スケーリングを実装するために 4 種類の電圧を供給でき、STOP モードで動作できます。

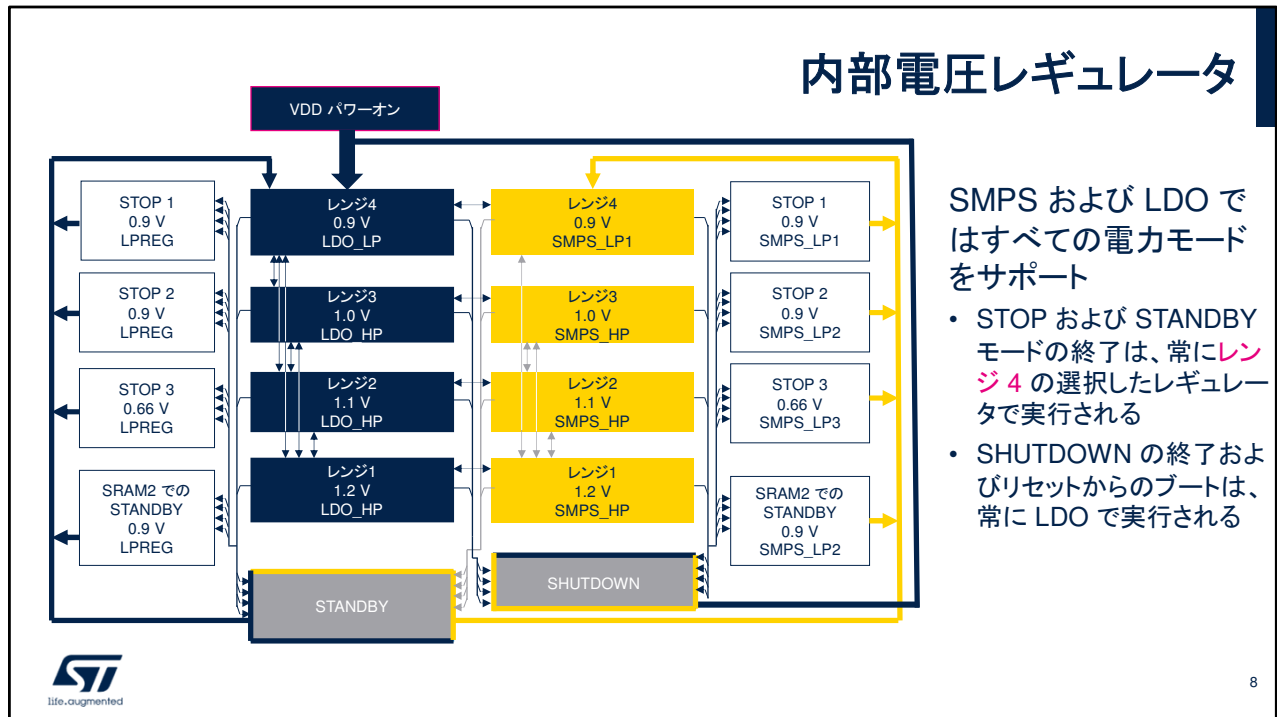
SMPS から LDO および LDO から SMPS は、動作中に切り替えることができます。

SMPS で消費電力を下げることはできますが、アプリケーションによっては SMPS が生成するノイズの摂動を受ける場合があります、その場合はアプリケーションを LDO に切り替える必要があります。

低起動機能は、パワーオンリセット後に突入電流を制限するために選択します。これにより、STOP または STANDBY モードを終了するときのウェイクアップ時間が増加します。ただし、動作中により高速な起動を設定することができ、その設定はシステムリセットや低消費電力モード (SHUTDOWN および VBAT モードを除く) からのウェイクアップ後の次の起動から使用されます。高速起動は FSTEN ビットをセットすることで有効になります。

外部レギュレータを使用した、外部での VCORE 電源の生成は、サポートされていません。

内部電圧レギュレータ



SMPS および LDO ではすべての電力モードをサポート

- STOP および STANDBY モードの終了は、常にレンジ 4 の選択したレギュレータで実行される
- SHUTDOWN の終了およびリセットからのブートは、常に LDO で実行される

この図は、すべての電源状態と、それらの間の遷移を表します。LDO、SMPS、および低電力レギュレータ(LPREG)が実装されます。LDO および SMPS レギュレータには、メインレギュレータモード(性能が必要な場合に使用)と低電力レギュレータモードの 2 つのモードがあります。LDO または SMPS は、すべての電圧スケーリング範囲およびすべての STOP モードで使用できます。リセット後、レギュレータは LDO(レンジ 4)です。SMPS に切り替えると、特に VDD 電圧が高い状態での消費電力を抑えられます。REGSEL ビットを設定すれば、任意の範囲で LDO から SMPS、または SMPS から LDO に切り替えることができます。STOP または STANDBY モードを終了する際、レギュレータは低消費電力モードに移行するときと同じです。電圧レンジはレンジ 4 です。SHUTDOWN からの終了は常に LDO で行われます。

RUN モードおよび SLEEP モードで消費電力を削減するためのヒント

- ✓ ICACHE を 1 ウェイモードに設定し、Flash プリフェッチを有効にする
- ✓ 未使用 Flash バンクをパワーダウンする
各バンクは RUN モードでパワーダウン可能
Flash 全体のパワーダウンは、デバイスが SLEEP モードに移行したときのみ可能
- ✓ 未使用 SRAM をパワーダウンする
SRAM1、SRAM2、SRAM3、SRAM4 は個別にパワーダウン可能
クロックはゲート可能
- ✓ バスペリフェラルを使用しない場合は、バスクロックをオフにする
セットされると、IWDG、SRAM1、SRAM2、SRAM3、SRAM4、FLASH、BKPSRAM、ICACHE、DCACHE1 がクロック供給されたままになることを除き、関連するバスペリフェラルはどれも使用できなくなる
- ✓ 通常：適切な電圧スケールリングを使用する、未使用のペリフェラルをオフにする、など



Life. augmented

9

ここでは、RUN モードおよび SLEEP モードでの電力消費を下げるためのヒントをいくつか示します。デフォルトで、命令キャッシュは 2 ウェイセットアソシアティブキャッシュです。超低消費電力プロファイルが必要なアプリケーションのために、ダイレクトマップキャッシュとして再設定することができます。この場合、置換アルゴリズムは必要ありません。

リセット後、両方の Flash バンクは通常モードになります。消費電力を下げるため、各バンクは個別にパワーダウンモードにすることができます。

デバイスが SLEEP モードに移行したときに、Flash 全体をパワーダウンできます。

STM32U5 デバイスには、それぞれ特定の機能を備えた 5 つの SRAM が内蔵されています。

メインの SRAM は、SRAM1、SRAM2、SRAM3 です。

SRAM4 は、STOP 2 モードで低電力バックグラウンド自律モード (LPBAM) ペリフェラルとして使用される SRAM に含まれます。

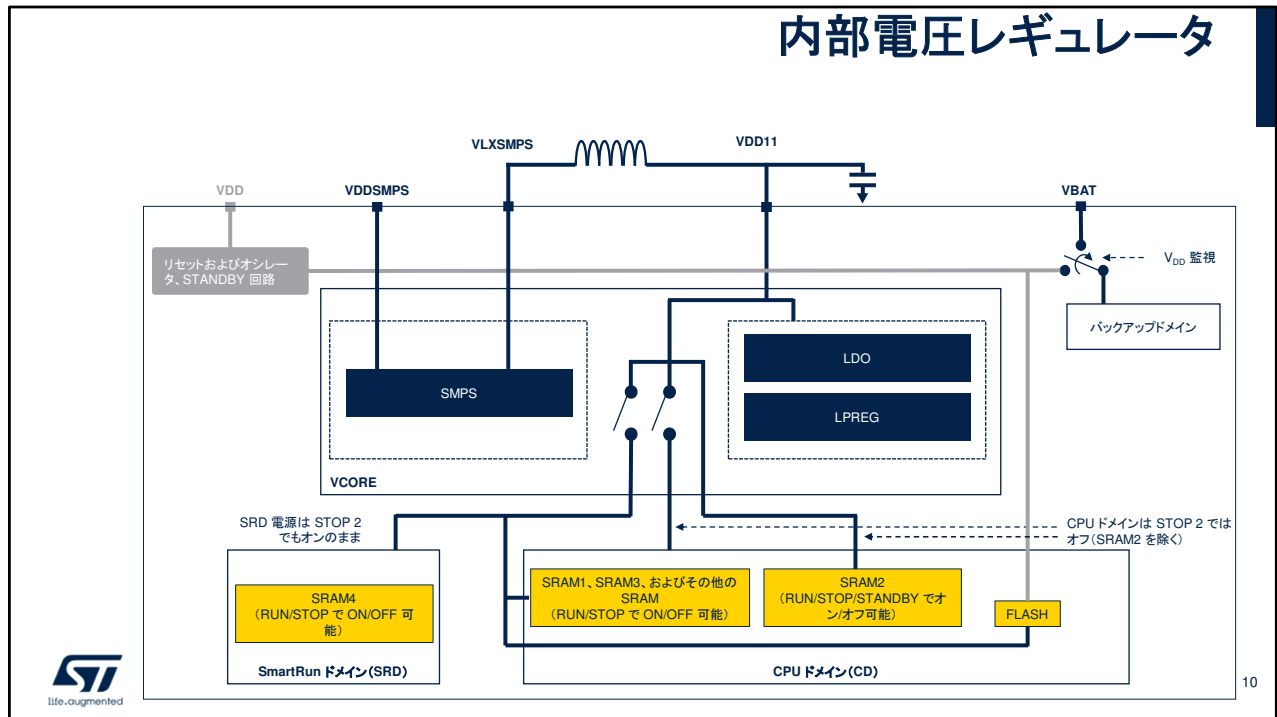
これらの SRAM はいくつかのブロックで構成されており、STOP モードでパワーダウンして消費電力を下げるすることができます。

内部 AHB および APB バスクロックは、接続されたペリフェラルがすべて未使用の場合にゲートオフできます。メモリと、キャッシュや独立型ウォッチドッグなどの一部のモジュールは、バスクロックが停止してもクロック供給されたままです。

一部のペリフェラルは自律モードをサポートしています。これらのペリフェラルは、STOP モードでもステータスレジスタを操作し、更新するために、必要に応じてカーネルクロックリクエストと AHB/APB バスクロックリクエストを生成できます。

一般的な推奨事項として、電圧レンジは目標の性能レベルに合わせ、未使用のペリフェラルはオフにする必要があります。

内部電圧レギュレータ



SMPS レギュレータと LDO レギュレータは、アプリケーションの要件に応じて、VCORE 電源を同時に供給します。ただし、同時にアクティブになるのは 1 つだけです。

SMPS がアクティブのとき、フィルタ処理された SMPS VLXSMPS 出力ピンから供給される 2 本の VDD11 ピンにより VCORE に供給します。

このため、各 VDD11 ピンに 2.2 マイクロヘンリーと 2.2 マイクロファラッドのコンデンサが必要です。

LDO が有効な場合、VCORE への供給と、VDD11 ピン上の同じデカップリングコンデンサを使用して、その調整を行います。

LDO および SMPS レギュレータには、メインレギュレータモード(性能が必要な場合に使用)と低電力レギュレータモードの 2 つのモードがあります。LDO または SMPS は、すべての電圧スケール範囲およびすべての STOP モードで使用できます。

SmartRun ドメイン (SRD) アーキテクチャは DMA に依存しています。これにより、STOP 2 まで低消費電力モードで自律動作が可能です。

この電源ドメインは、2 つのマスタ(メイン AHB バスマトリックスおよび LPDMA1)と 2 つのスレーブを相互接続する 32 ビット AHB バスマトリックスを備えています。APB3 と内部 SRAM4 に接続された AHB から APB へのブリッジを含む AHB3 ベリフェラル

STANDBY モードへの移行後、バックアップドメインのレジスタとバックアップ SRAM、ならびに STANDBY 回路を除き、SRAM とレジスタの内容は失われます。オプションで、低電力レギュレータから供給される、完全な SRAM2、8 KB、または 56 KB を、STANDBY および STOP 3 モードで保持することができます (RAM2 保持モードでの STANDBY)。

レギュレータは、STANDBY モードおよび SHUTDOWN モードではオフです。

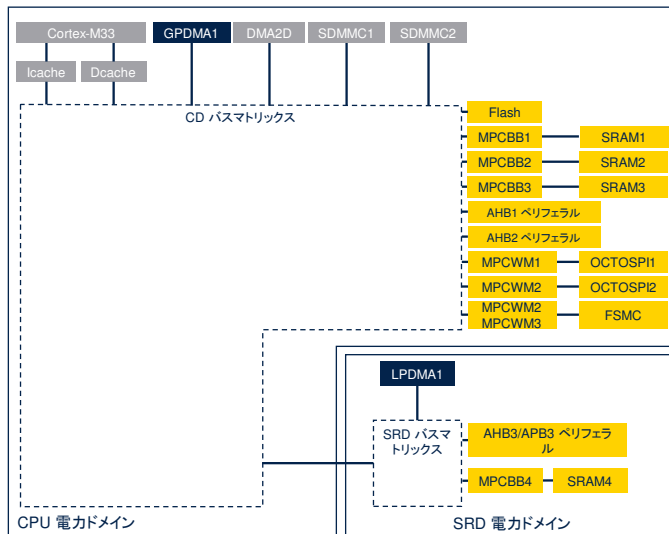
VDD がオフになった場合にバックアップレジスタの内容を保持し、RTC 機能を提供するために、VBAT ピンをバッテリーやその他の電源から供給されるオプションのバックアップ電源に接続することができます。

VBAT ピンから RTC ユニットの LSE オシレータ、および PC13 から PC15 の I/O に電源が供給され、主電源がオフの場合でも RTC が動作できるようにします。

VBAT 電源への切り替えは、リセットブロックに組み込まれているパワーダウンリセット回路によって制御されます。

VBAT は、主電源がオフになったときに、バックアップ SRAM にも電源が供給されます。

CPU ドメイン (CD) および SmartRun ドメイン (SRD)



- STOP 0 および STOP 1:
 - 完全に電力が供給された CD と SRD => すべての自律型ペリフェラルが GPDMA1 および LPDMA1 によって機能するようになった
- STOP 2:
 - 保持された CD (低リーク電流モード) => 実行可能な動的な動作なし
 - 完全に電力が供給された SRD => SRD の自律型ペリフェラルが LPDMA1 によって機能するようになった



11

これらのデバイスは、低電力バックグラウンド自律モード (LPBAM) をサポートしています。これにより、STOP 0、STOP 1、および STOP 2 モードで機能的かつ自律的なペリフェラルを使用できます。自律的とは、これらのペリフェラルを制御するために実行されるソフトウェアがないことを意味します。

AHB1、AHB2、APB1、および APB2 に配置された自律型ペリフェラルは、CPU ドメインに属しており、GPDMA1 と SRAM1、SRAM2、SRAM3、または SRAM4 により、STOP 0 と STOP 1 で自律的です。AHB3 または APB3 に配置された自律型ペリフェラルは、SmartRun ドメインに属しており、LPDMA1 と SRAM4 により、STOP 0、STOP 1、および STOP 2 で自律的です。

STOP 2 モードでは、CPU ドメインはアクティブではありません。ただし、SmartRun ドメインで、低電力 DMA によるデータ移動を含むバックグラウンドタスクが進行中である場合があります。

低消費電力モード:STOP モード

完全保持およびペリフェラルの動作を伴う最小電力モード(LPBAM)

- STOP 0、1、2、3 の SRAM ページを個別にパワーダウンする機能を備えた、SRAM とペリフェラルレジスタの完全保持：
 - SRAM13 x 64 KB のページ
 - SRAM28 KB および 56 KB のページ
 - SRAM38 x 64 KB のページ
 - SRAM4
 - ICACHE、DCACHE1、DMA2D SRAM、FMAC/FDRAM/USB SRAM、PKA SRAM
- ウェイクアップクロックは、HSI16 または最大 24 MHz の MSI(レンジ 4 のみ)
 - STOP 0/1 の FLASH 低電力/高速ウェイクアップモード
 - STOP 0/1/2 の SRAM4 低電力/高速ウェイクアップモード



12

STOP モードは、SRAM やレジスタの内容を保持したまま、最小の消費電力を実現します。

コアドメイン内のすべてのクロックが停止します。

STOP 0 モードでは、レギュレータはメインレギュレータモードにとどまるため、ウェイクアップ時間は非常に速くなりますが、消費電力は大幅に増加します。STOP 3 は完全保持される最小電力モードですが、ウェイクアップの機能ペリフェラルとソースは STANDBY モードの場合と同じように削減されます。サブブロックまたは完全な SRAM1 と SRAM3、および完全な SRAM2 と SRAM4 は、消費電力を節約するためにパワーオフできます。

キャッシュやペリフェラルユニットに内蔵された SRAM の内容は、制御ビットによるパワーオフも可能です。

STOP モードを終了する際に、システムクロックはソフトウェア設定に応じて最大 24 MHz の MSIS または HSI16 のいずれかにできます。

消費電力を下げるために、ブラウンアウトリセットを STANDBY モードの不連続超低電力モードで動作するよう設定できます。

STOP 0 モード

- アクティブセル(有効な場合)
- クロックオフセル(機能しない)
- パワーダウン状態のセル

レギュレータ

SMPS(LP1)
LDO(HP)
LPREG

クロック供給

HSI16
HSI48
HSE
MSI(最大 24 MHz)
LSI
LSE
PLL
CSS
LSE の CSS



CPU

Cortex® M33

I/O

設定を保持

メモリ

Flash(2 MB)
SRAM1(192 KB)
SRAM2(64 KB)
SRAM3(512 KB)
SRAM4(16 KB)
BKPSRAM(2 KB)
バックアップレジスタ
FSMC
OCTOSPI

内部ペリフェラル

GPIO	ADC1
LPGPIO	ADC4
GPDMA1	温度センサ
LPDMA1	DAC1-2
DMA2D	VREFBUF
CRC	OPAMP1-2
USART1-5	COMP1-2
LPUART1	CORDIC_
I2C1, 2, 4	FMAC
I2C3	MDF1
SPI1-2	ADF1
SPI3	DCMI
FDCCAN1	PSSI
SDMMC1-2	TSC
SAI1-2	TIM1-8, 15-17
OTG_FS, UCPD1	LPTIM1, 3, 4
RNG	LPTIM2
AES, SAES	IWDG
HASH アクセラレータ	WWDG
OTFDEC1-2	RTC
PKA	TAMP
SYSTICK	TAMP の供給と温度の監視

- 有効なリセットソース
- 有効なウェイクアップソース
- ソース、リセット、またはウェイクアップとしては使用不可

リセットソースとウェイクアップイベント

NRST	GPIO(EXTI)
BOR	ADC4
PVD	GPDMA1
PVM	LPDMA1
RTC	USART1-5
TAMP	LPUART1
SRAM2-3 ECC エラー	I2C1, 2, 4
OTG_FS	I2C3
COMP	SPI1-2
LPTIM1, 3, 4	SPI3
LPTIM2	MDF1
IWDG	ADF1

13

電圧レギュレータは、メインレギュレータモードで設定されます。VCORE ドメインのすべてのクロックが停止し、PLL、MSIS、MSIK、HSI16、および HSE オシレータが無効になります。内部または外部ロースピードオシレータによってクロック供給される RTC は、アクティブな状態を保つことができます。ブラウンアウトリセットは常に有効です。ほとんどのペリフェラルクロックはゲートオフされます。アクティブなペリフェラルによって生成された割り込みと同様に、すべての入出力からのイベントは、STOP 0 モードからウェイクアップできます。STOP 0 を終了する際に、システムクロックはソフトウェア設定に応じて最大 24 MHz の MSIS または HSI16 のいずれかにできます。

STOP 1 モード

- アクティブセル(有効な場合)
- クロックオフセル(機能しない)
- パワーダウン状態のセル

レギュレータ

SMPS(LP1)
LDO(HP)
LPREG

クロック供給

HSI16
HSI48
HSE
MSI(最大 24 MHz)
LSI
LSE
PLL
CSS
LSE の CSS



CPU

Cortex® M33

I/O

設定を保持

メモリ

Flash(2 MB)
SRAM1(192 KB)
SRAM2(64 KB)
SRAM3(512 KB)
SRAM4(16 KB)
BKPSRAM(2 KB)
バックアップレジスタ
FSMC
OCTOSPI

内部ペリフェラル

GPIO	ADC1
LPGPIO	ADC4
GPDMA1	温度センサ
LPDMA1	DAC1-2
DMA2D	VREFBUF
CRC	OPAMP1-2
USART1-5	COMP1-2
LPUART1	CORDIC_
I2C1, 2,4	FMAC
I2C3	MDF1
SPI1-2	ADF1
SPI3	DCMI
FDCCAN1	PSSI
SDMMC1-2	TSC
SAI1-2	TIM1-8,15-17
OTG_FS, UCPD1	LPTIM1, 3,4
RNG	LPTIM2
AES, SAES	IWDG
HASH アクセラレータ	WWDG
OTFDEC1-2	RTC
PKA	TAMP
SYSTICK	TAMP の供給と温度の監視

- 有効なリセットソース
- 有効なウェイクアップソース
- ソース、リセット、またはウェイクアップとしては使用不可

リセットソースとウェイクアップイベント

NRST	GPIO(EXTI)
BOR	ADC4
PVD	GPDMA1
PVM	LPDMA1
RTC	USART1-5
TAMP	LPUART1
SRAM2-3 ECC エラー	I2C1, 2,4
OTG_FS	I2C3
COMP	SPI1-2
LPTIM1, 3,4	SPI3
LPTIM2	MDF1
IWDG	ADF1

14

STOP 1 モードは STOP 0 と非常に似ていますが、メインレギュレータが停止され、低電力レギュレータに置き換えられたときに電力値が大幅に低くなる点が異なります。

STOP 2 モード

- アクティブセル(有効な場合)
- クロックオフセル(機能しない)
- パワーダウン状態のセル

レギュレータ

SMPS (LP2)
LDO (HP)
LPREG

クロック供給

HSI16
HSI48
HSE
MSI (最大 24 MHz)
LSI
LSE
PLL
CSS
LSE の CSS



CPU

Cortex® M33

I/O

設定を保持

メモリ

Flash (2 MB)
SRAM1 (192 KB)
SRAM2 (64 KB)
SRAM3 (512 KB)
SRAM4 (16 KB)
BKPSRAM (2 KB)
バックアップレジスタ
FSMC
OCTOSPI

内部ペリフェラル

GPIO	ADC1
LPGPIO	ADC4
GPDMA1	温度センサ
LPDMA1	DAC1-2
DMA2D	VREFBUF
CRC	OPAMP1-2
USART1-5	COMP1-2
LPUART1	CORDIC_
I2C1, 2, 4	FMAG
I2C3	MDF1
SPI1-2	ADF1
SPI3	DCMI
FDCCAN1	PSSI
SDMMC1-2	TSC
SAI1-2	TIM1-8, 15-17
OTG_FS, UCPD1	LPTIM1, 3, 4
RNG	LPTIM2
AES, SAES	IWDG
HASH アクセラレータ	WWDG
OTFDEC1-2	RTC
PKA	TAMP
SYSTICK	TAMP の供給と温度の監視

- 有効なリセットソース
- 有効なウェイクアップソース
- ソース、リセット、またはウェイクアップとしては使用不可

リセットソースとウェイクアップイベント

NRST	GPIO (EXTI)
BOR	ADC4
PVD	GPDMA1
PVM	LPDMA1
RTC	USART1-5
TAMP	LPUART1
SRAM2-3 ECC エラー	I2C1, 2, 4
OTG_FS	I2C3
COMP	SPI1-2
LPTIM1, 3, 4	SPI3
LPTIM2	MDF1
IWDG	ADF1

15

STOP 2 モードでは、ほとんどの VCORE ドメインは低リーク電流モードに置かれます。

コアドメイン内のすべてのクロックが停止します。PLL、MSIS、MSIK、HSI16、および HSE オシレータは無効です。

LPBAM 機能を持つ一部のペリフェラルは、データ転送のため、HSI16、MSIS、または MSIK をオンにできます。

SRAM とレジスタの内容はすべて保持されますが、さらに消費電力を下げるために、SRAM の全体または一部をスイッチオフできます。

BOR は常に STOP 2 モードで使用できます。

STOP 3 モード

- アクティブセル(有効な場合)
- クロックオフセル(機能しない)
- パワーダウン状態のセル

レギュレータ

SMPS (LP3)

LDO (HP)

LPREG

クロック供給

HSI16

HSI48

HSE

MSI(最大 24 MHz)

LSI

LSE

PLL

CSS

LSE の CSS



Life.augmented

CPU

Cortex® M33

I/O

プルアップ/プルダウン

メモリ

Flash (2 MB)

SRAM1 (192 KB)

SRAM2 (64 KB)

SRAM3 (512 KB)

SRAM4 (16 KB)

BKPSRAM (2 KB)

バックアップレジスタ

FSMC

OCTOSPI

内部ペリフェラル

GPIO	ADC1
LPGPIO	ADC4
GPDMA1	温度センサ
LPDMA1	DAC1-2
DMA2D	VREFBUF
CRC	OPAMP1-2
USART1-5	COMP1-2
LPUART1	CORDIC_
I2C1, 2,4	FMAC
I2C3	MDF1
SPI1-2	ADF1
SPI3	DCMI
FD CAN1	PSSI
SDMMC1-2	TSC
SAI1-2	TIM1-8,15-17
OTG_FS, UCPD1	LPTIM1, 3,4
RNG	LPTIM2
AES, SAES	IWDG
HASH アクセラレータ	WWDG
OTFDEC1-2	RTC
PKA	TAMP
SYSTICK	TAMP の供給と温度の監視

- 有効なリセットソース
- 有効なウェイクアップソース
- ソース、リセット、またはウェイクアップとしては使用不可

リセットソースとウェイクアップイベント

NRST	GPIO (24ピン)
BOR	ADC4
PVD	GPDMA1
PVM	LPDMA1
RTC	USART1-5
TAMP	LPUART1
SRAM2-3 ECC エラー	I2C1, 2,4
OTG_FS	I2C3
COMP	SPI1-2
LPTIM1, 3,4	SPI3
LPTIM2	MDF1
IWDG	ADF1

16

BOR は常に STOP 3 モードで使用できます。
 STOP 3 モードでは、I/O はデフォルトでフローティング状態です。
 I/O は、プルアップ、プルダウン、またはアナログ状態を保持することを設定できます。
 一部の I/O は、JTAG/シリアルワイヤデバッグに使用され、それぞれのリセットのプルアップまたはプルダウン状態 (STOP 3 モード中のみ)、またはフローティング状態に設定できます。
 PC13 および PB2 の RTC 出力は STOP 3 モードで機能します。
 LSE に使用される PC14 と PC15 も機能します。
 8 つのイベントで多重化された 24 本のウェイクアップピン (ウェイクアップ 1 ~ 8) と、8 つの RTC タンパピンが使用可能です。
 STOP 3 モードを終了する際、マイクロコントローラは RUN モード (レンジ 4) です。

低電力バックグラウンド自律モード(LPBAM)

複雑で実用的なシナリオを低消費電力モードで実装するスマートな方法

- CPU は不要 – すべて DMA (LPDMA & GPDMA) ベース
 - DMA リンクリストにより、ペリフェラルの設定と動作を STOP 2 モードまで連鎖させることが可能
 - DMA を使用して、ソフトウェアのエミュレーションとペリフェラルの再設定が可能
 - ハードウェアトリガはペリフェラルの動作(A/DC 変換、通信ペリフェラル転送、DMA 転送など)を開始可能
- 電力利得:
 - ほとんどの製品は、STOP モードで停止可能
 - クロックは、STOP モードで必要な場合にのみ IP に供給される
 - アナログペリフェラル/オシレータは、STOP モードで必要な場合にのみ電源がオンになる



17

低電力バックグラウンド自律モード(LPBAM)は、STM32U5 の重要な新機能です。

Cortex-M33 がスリープ状態の間、マイクロコントローラの一部はアクティブなままであり、ソフトウェアの支援を必要としないバックグラウンドタスクを実行できます。

LPDMA および GPDMA の 2 つの DMA コントローラは、データを転送するだけでなく、ペリフェラルとメモリがかかわる複雑なシーケンスを実装するために、初期化してアクセス制御レジスタにアクセスすることもできます。

たとえば、タイマは周期的タスクをトリガできます。このタスクは、A/DC からのサンプル取得、これらのサンプルのメモリへの移動、および異常状態を検出するためにサンプリングされた信号の監視で構成されています。

自律モードと STOP からのウェイクアップ機能を持つ一部のペリフェラルは、HSI16、MSIS、または MSIK の有効化をリクエストできます。この場合、オシレータはペリフェラルによってウェイクアップされ、それを必要とするペリフェラルがない場合は自動的にオフになります。

自律型ペリフェラルの機能

自律型ペリフェラル	
STOP 0/1 まで	STOP 2 まで
GPDMA1	
LPDMA1	LPDMA1
USART(1, 2, 3, 4, 5)	
LPUART1	LPUART1
I2C(1, 2, 4)	
I2C3	I2C3
SPI(1, 2)	
SPI3	SPI3
ADC4(12 ビット)	ADC4(12 ビット)
DAC	DAC
LPTIM(1, 3, 4)	LPTIM(1, 3, 4)
LPTIM2	
MDF1	
ADF1	ADF1

- ペリフェラルの動作はマイクロコントローラの電力モード(Run、SLEEP、STOP)から独立しています。
- STOP モードでサポートされる DMA 転送
 - カーネルと AHB/APB クロックリクエストによる
- ペリフェラルの動作は、STOP モードで非同期トリガにより開始可能:
 - 通信ペリフェラルの転送の開始
 - ADC/DAC 変換の開始
 - DMA 転送の開始
 ▶トリガは LPTIM 出力、コンパレータ出力、I/O などから選択可能
- 自律型ペリフェラル割込みは STOP からウェイクアップする



18

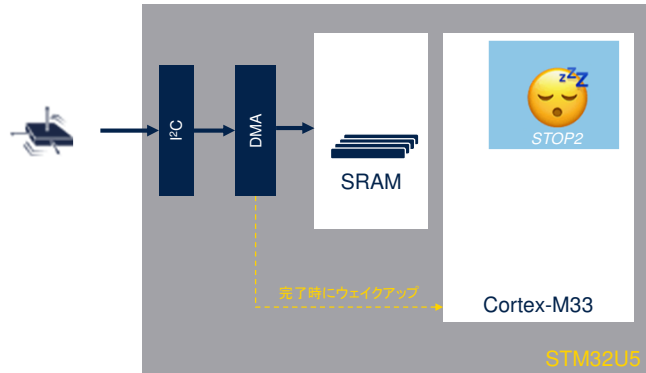
この表は、STOP 0 および STOP 1 モードで機能的かつ自律的なペリフェラルを示し、また STOP 2 モードでも機能を維持するペリフェラルを示します。

STOP モードでは、非同期トリガを使用して、通信転送、変換シーケンス、または DMA 転送を自動的に開始できます。

これらのハードウェアトリガは、低消費電力タイマのタイムアウト、コンパレータ出力、または IO パッドでのエッジ検出である場合があります。

LPBAM のユースケース

- I²C スレーブ転送: SPI/UART 受信
- I²C マスタ転送: SPI/UART 送信
- ADC 変換
- DAC 変換
- ボイスアクティビティ検出
- LPTIM PWM 比の変化、入力キャプチャ、パルスカウンタなど
- I/O 制御(入力、出力)
- ペリフェラルの連鎖
-



19

このスライド以降、低電力バックグラウンド自律モードの実装例を示しています。

これらは、Cortex-M33 プロセッサが STOP 0、1、または 2 の低電力状態の間に、アクティブなままであるモジュールが関与するバックグラウンドタスクです。

この最初の例では、I2C などの通信モジュールが、DMA チャンネルを介してメモリバッファに書き込むデータを受信します。

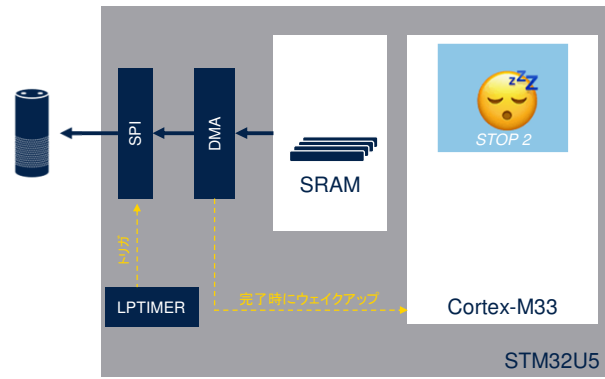
STOP 2 モードでこの機能をサポートするのは、I2C の番号 3 のみです。

DMA チャンネルは転送を完了すると、Cortex-M33 をウェイクアップします。

同じ方法を SPI および UART の受信に使用できます。

LPBAM のユースケース

- I²C スレーブ転送: SPI/UART 受信
- I²C マスタ転送: SPI/UART 送信
- ADC 変換
- DAC 変換
- ボイスアクティビティ検出
- LPTIM PWM 比の変化、入力キャプチャ、パルスカウンタなど
- I/O 制御(入力、出力)
- ペリフェラルの連鎖
-



20

LPBAM のこの 2 番目の例では、低消費電力タイマが、SPI などの通信モジュールからのデータの送信を周期的にトリガします。

データは、DMA チャンネルによってメモリ送信バッファから SPI FIFO へ転送されます。

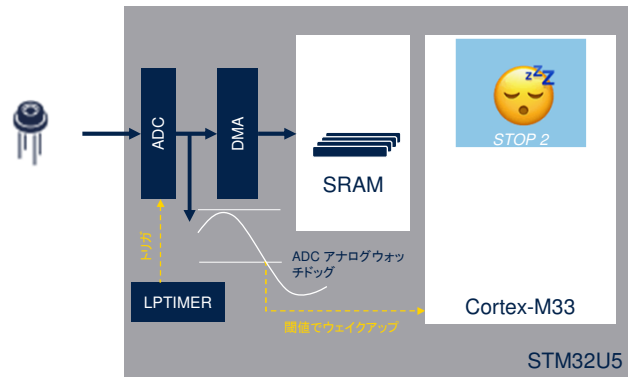
DMA チャンネルは転送を完了すると、Cortex-M33 をウェイクアップします。

非同期トリガは、汎用入力によるエッジ検出や、電圧コンパレータ出力のアサートなど、他のソースである場合があります。

STOP 2 モードでこの機能をサポートするのは、SPI の番号 3 のみです。

LPBAM のユースケース

- I²C スレーブ転送: SPI/UART 受信
- I²C マスタ転送: SPI/UART 送信
- **ADC 変換**
- DAC 変換
- ボイスアクティビティ検出
- LPTIM PWM 比の変化、入力キャプチャ、パルスカウンタなど
- I/O 制御(入力、出力)
- ペリフェラルの連鎖
-



21

このシナリオでは、低消費電力タイマが周期的にサンプル取得をトリガします。DMA チャンネルが、これらのサンプルをメモリバッファに自動的に転送します。

Cortex-M33 のウェイクアップは、ADC アナログウォッチドッグが、プログラムされた閾値を超える変換結果を検出するという条件でリクエストされました。

温度センサ、VBAT、VCORE、内部基準電圧、または外部チャンネルは順次監視できます。

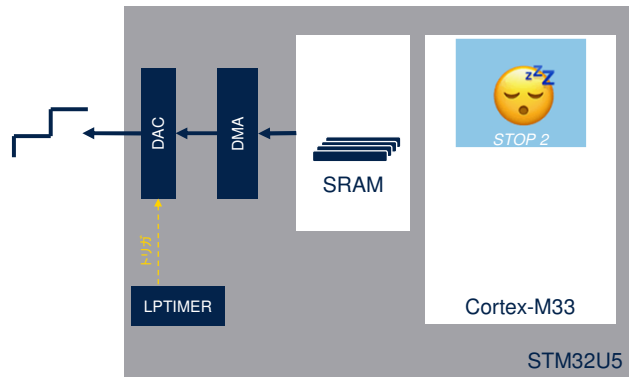
3 つのアナログウォッチドッグにより、STOP モードで最大 3 つのチャンネルを監視できます。

監視された電圧がプログラムされた閾値内にある限りウェイクアップは要求されないため、マイクロコントローラが STOP 0、1、または 2 モードの間、周期的な電圧監視が可能です。

STOP 0、1、または 2 モードでこの機能をサポートするのは、ADC の番号 4 のみです。

LPBAM のユースケース

- I²C スレーブ転送: SPI/UART 受信
- I²C マスタ転送: SPI/UART 送信
- ADC 変換
- **サンプルおよびホールドでの DAC 変換**
- ボイスアクティビティ検出
- LPTIM PWM 比の変化、入力キャプチャ、パルスカウンタなど
- I/O 制御(入力、出力)
- ペリフェラルの連鎖
-

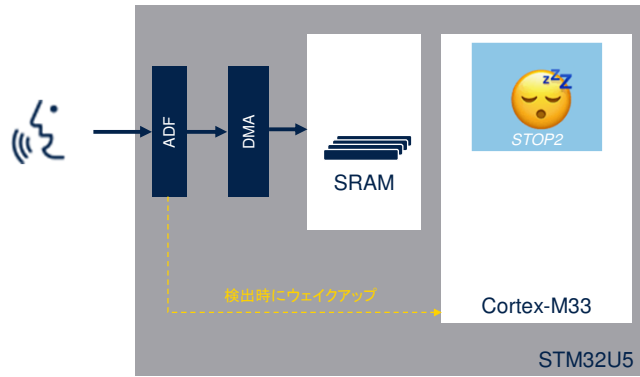


22

DMA チャンネルは、低消費電力タイマによって周期的にトリガされます。サンプルをメモリから D/A コンバータに転送します。このバックグラウンドタスクでは、生成される波形が変更されない限り、プロセッサの介入は必要ありません。ADC アナログウォッチドッグを使用して変換結果を監視し、アナログ電圧がプログラムされた閾値以外である場合に Cortex-M33 をウェイクアップできることに注意してください。これは、DAC の出力を ADC のアナログ入力チャンネルに内部的にループバックする相互接続マトリックスによって実現されます。

LPBAM のユースケース

- I²C スレーブ転送: SPI/UART 受信
- I²C マスタ転送: SPI/UART 送信
- ADC 変換
- DAC 変換
- **ボイスアクティビティ検出**
- LPTIM PWM 比の変化、入力キャプチャ、パルスカウンタなど
- I/O 制御(入力、出力)
- ペリフェラルの連鎖
-

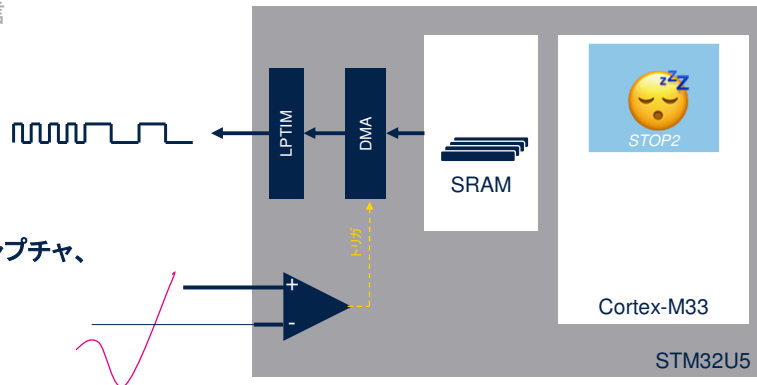


23

この例では、外部シグマデルタモジュレータに接続されたオーディオ・デジタルフィルタは、音声サンプルを処理し、フィルタリングされたストリームを DMA チャンネルを介してメモリバッファに転送します。オーディオ・デジタルフィルタは、ボイスアクティビティが検出されたときに Cortex-M33 をウェイクアップするようにプログラムできます。

LPBAM のユースケース

- I²C スレーブ転送: SPI/UART 受信
- I²C マスタ転送: SPI/UART 送信
- ADC 変換
- DAC 変換
- ボイスアクティビティ検出
- **LPTIM PWM 比の変化、入力キャプチャ、パルスカウンタなど**
- I/O 制御(入力、出力)
- ペリフェラルの連鎖
-

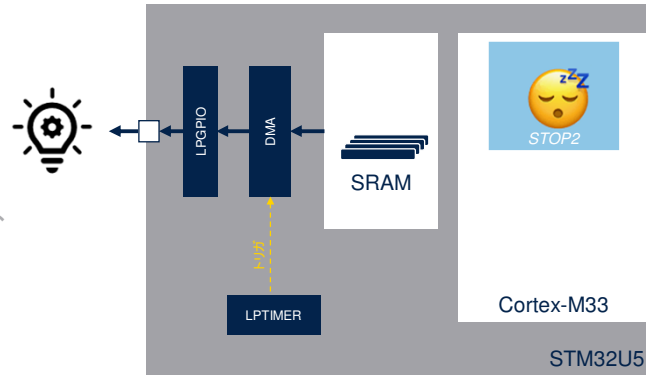


24

超低電力コンパレータ COMP1 または COMP2 は、PWM 出力のデューティサイクルを変更するために、メモリバッファから LPTIM レジスタへの DMA 転送をトリガします。
このバックグラウンドタスクはソフトウェアの介入を必要としないので、Cortex-M33 は STOP 2 モードのままです。

LPBAM のユースケース

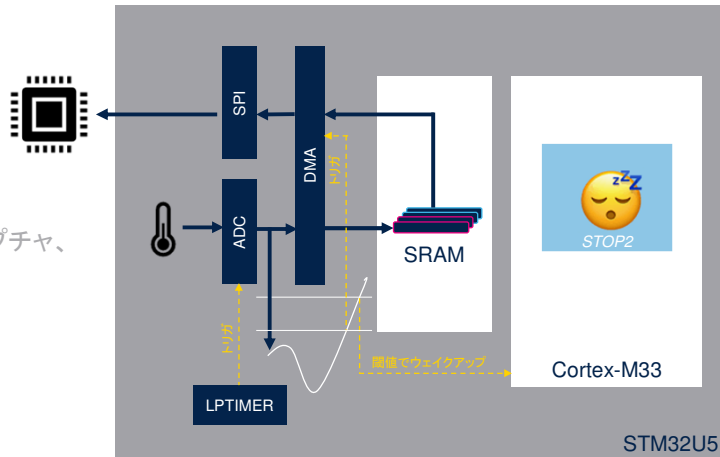
- I²C スレーブ転送: SPI/UART 受信
- I²C マスタ転送: SPI/UART 送信
- ADC 変換
- DAC 変換
- ボイスアクティビティ検出
- LPTIM PWM 比の変化、入力キャプチャ、パルスカウンタなど
- I/O 制御(入力、出力)
- ペリフェラルの連鎖
-



低消費電力タイマは、メモリバッファから低消費電力汎用入出力モジュールへの DMA 転送を周期的にリクエストします。
たとえば、Cortex-M33 が STOP 2 状態であるときに LED が点滅することがあります。

LPBAM のユースケース

- I²C スレーブ転送: SPI/UART 受信
- I²C マスタ転送: SPI/UART 送信
- ADC 変換
- DAC 変換
- ボイスアクティビティ検出
- LPTIM PWM 比の変化、入力キャプチャ、パルスカウンタなど
- I/O 制御(入力、出力)
- **ペリフェラルの連鎖**
-



26

この最後のシナリオでは、Cortex-M33 を使用しない複数ユニットのコラボレーションについて説明します。

低消費電力タイマは、DMA チャンネルに依存してサンプルをメモリバッファに転送する ADC の取得シーケンスを周期的にトリガします。

特定の閾値を超えると、アナログウォッチドッグが別の DMA チャンネルをトリガし、そのチャンネルによって最新のサンプルが SPI コントローラに自動的に転送されます。

たとえば、これらのサンプルは、SPI コントローラに接続された不揮発性メモリに格納できます。

別のアナログウォッチドッグには、超過すると Cortex-M33 をウェイクアップする 2 番目の閾値がプログラムされます。

STOP モードの概要

	STOP 0	STOP 1	STOP 2	STOP 3
レギュレータ	RUN モードと同じ	低電力	低電力	低電力
機能ペリフェラルとウェイクアップソース	CPU および SRD ドメインから		SRD ドメイン	STANDBY と同じ
クロック	LSE / LSI / HSI16 / 最大 24MHz の MSI			LSE / LSI
I/O	状態を保持 GPDMA1 による動的制御 すべての I/O を含むウェイクアップ		状態を保持 LPDMA1 による最大 16 個の I/O の動的制 御 すべての I/O を含む ウェイクアップ	24 個のウェイクアッ プピンのプルアップ/ プルダウン
すべての SRAM が保持された SMPS での 消費量 (μA)	41.5		8.95	4.3
ウェイクアップ時間 (μs) ➢ Flash でのウェイクアップ、24 MHz の MSI でレンジ 4 ➢ すべての SRAM を保持	11	22	23	28.5



27

この表は、4 つの STOP モードの違いを示しています。
 メインレギュレータは STOP 0 モードでアクティブである一方、低電力レギュレータは STOP 1、2、および 3 でアクティブです。
 ストップ 0 および 1 モードの機能ペリフェラルは、CPU および Smart Run ドメインに属します。
 Smart Run ドメインのペリフェラルのみ、STOP 2 モードでアクティブなままです。
 STOP 3 のアクティブなペリフェラルは、STANDBY モードの場合と同じです。すべての I/O がアクティブで、STOP 0、1、および 2 モードでウェイクアップに使用できます。ただし、STOP 2 モードで LPDMA1 によってアクセスできる入出力は 16 個のみです。
 STOP 3 では、24 本のピンをウェイクアップに使用できます。
 ウェイクアップ時間は STOP 1 モードの場合と大差ありませんが、STOP 2 および STOP 3 モードへの移行時にマイクロコントローラの消費電力が大幅に低減されます。

STANDBY モード (SRAM2 の保持なし)

- アクティブセル (有効な場合)
- クロックオフセル (機能しない)
- パワーダウン状態のセル

レギュレータ

SMPS (ULP) (SRAM2 の場合)
LDO (HP)
LPREG (SRAM2 の場合)

クロック供給

HSI16
HSI48
HSE
MSI (最大 24 MHz)
LSI
LSE
PLL
CSS
LSE の CSS



Life augmented

CPU

Cortex® M33

I/O

プルアップ/プルダウン

メモリ

Flash (2 MB)
SRAM1 (192 KB)
SRAM2 (64 KB)
SRAM3 (512 KB)
SRAM4 (16 KB)
BKPSRAM (2 KB)
バックアップレジスタ
FSMC
OCTOSPI

内部ペリフェラル

GPIO	ADC1
LPGPIO	ADC4
GPDMA1	温度センサ
LPDMA1	DAC1-2
DMA2D	VREFBUF
CRC	OPAMP1-2
USART1-5	COMP1-2
LPUART1	CORDIC_
I2C1, 2, 4	FMAC
I2C3	MDF1
SPI1-2	ADF1
SPI3	DCMI
FDCAN1	PSSI
SDMMC1-2	TSC
SAI1-2	TIM1-8, 15-17
OTG_FS, UCPD1	LPTIM1, 3, 4
RNG	LPTIM2
AES, AES	IWDG
HASH アクセラレータ	WWDG
OTFDEC1-2	RTC
PKA	TAMP
SYSTICK	TAMP の供給と温度の監視

- 有効なリセットソース
- 有効なウェイクアップソース
- ソース、リセット、またはウェイクアップとしては使用不可

リセットソースとウェイクアップイベント

NRST	GPIO (24 ピン)
BOR	ADC4
PVD	GPDMA1
PVM	LPDMA1
RTC	USART1-5
TAMP	LPUART1
SRAM2-3 ECC エラー	I2C1, 2, 4
OTG_FS	I2C3
COMP	SPI1-2
LPTIM1, 3, 4	SPI3
LPTIM2	MDF1
IWDG	ADF1

28

STANDBY モードでは、メインおよび低電力レギュレータの両方がパワーダウンされます。PLL、HSI16、MSIS、MSIK、および HSE オシレータもオフになります。内部または外部ロースピードオシレータによってクロック供給される RTC は、アクティブな状態を保てる場合があります。ブラウンアウトリセットは常に有効です。独立型ウォッチドッグは、STANDBY モードでも有効にできます。リセット、ブラウンアウトリセット、RTC とタンパ検出、独立型ウォッチドッグ、およびウェイクアップピン上のあらゆるイベントは、STANDBY モードからマイクロコントローラを終了できます。I/O は、STANDBY モードで内部プルアップ、プルダウンまたはフローティングに設定できます。8 つのイベントで多重化された 24 本のウェイクアップピンと、8 つの RTC タンパピンが使用可能です。このスライドでは、SRAM2 保持のないスタンバイモードがアクティブなときに、マイクロコントローラの状態について説明します。SRAM2 の内容は、部分的または完全に保持できます。この場合、低電力レギュレータがオンになり、SRAM2 に対してのみ電源供給されます。

SHUTDOWN モード

- アクティブセル(有効な場合)
- クロックオフセル(機能しない)
- パワーダウン状態のセル

レギュレータ

SMPS(ULP) (SRAM2 の場合)
LDO (HP)
LPREG(SRAM2 の場合)

クロック供給

HSI16
HSI48
HSE
MSI(最大 24 MHz)
LSI
LSE
PLL
CSS
LSE の CSS



Life.augmented

CPU

Cortex® M33

I/O

-

メモリ

Flash(2 MB)
SRAM1 (192 KB)
SRAM2 (64 KB)
SRAM3 (512 KB)
SRAM4 (16 KB)
BKPSRAM(2 KB)
バックアップレジスタ
FSMC
OCTOSPI

内部ペリフェラル

GPIO	ADC1
LPGPIO	ADC4
GPDMA1	温度センサ
LPDMA1	DAC1-2
DMA2D	VREFBUF
CRC	OPAMP1-2
USART1-5	COMP1-2
LPUART1	CORDIC_
I2C1, 2,4	FMAC
I2C3	MDF1
SPI1-2	ADF1
SPI3	DCMI
FDSCAN1	PSSI
SDMMC1-2	TSC
SAI1-2	TIM1-8,15-17
OTG_FS, UCPD1	LPTIM1, 3,4
RNG	LPTIM2
AES, SAES	IWDG
HASH アクセラレータ	WWDG
OTFDEC1-2	RTC
PKA	TAMP
SYSTICK	TAMP の供給と温度の監視

- 有効なリセットソース
- 有効なウェイクアップソース
- ソース、リセット、またはウェイクアップとしては使用不可

リセットソースとウェイクアップイベント

NRST	GPIO(24ピン)
BOR	ADC4
PVD	GPDMA1
PVM	LPDMA1
RTC	USART1-5
TAMP	LPUART1
SRAM2-3 ECC エラー	I2C1, 2,4
OTG_FS	I2C3
COMP	SPI1-2
LPTIM1, 3,4	SPI3
LPTIM2	MDF1
IWDG	ADF1

29

SHUTDOWN モードは、わずか 110 ナノアンペアの、STM32U5 の最小電力モードです。

SHUTDOWN モードでは、メインレギュレータおよび低電力レギュレータの電源がオフになります。

バックアップドメインのレジスタを除いて、SRAM およびレジスタの内容は失われます。

RTC はアクティブなままにすることができます。

ブラウンアウトリセットは無効化されます。外部ロースピードクロックのみを有効にできます。

ウェイクアップイベントは、RTC とタンパイイベント、リセット、および 24 本のウェイクアップピンです。

I/O は、SHUTDOWN モードで内部プルアップ、プルダウンまたはフローティングで設定できますが、SHUTDOWN モードを終了すると設定が失われます。

低消費電力モード:STANDBY および SHUTDOWN モード

- STANDBY クロックからのウェイクアップは MSI 1 ~ 4 MHz
- STANDBY:
 - 8 KB + 56 KB の SRAM2(合計 64 KB)を個別に保持可能
 - 2 KB の BKPSRAM を保持可能
- STANDBY の消費電力を低減する場合、ULPMEN=1
- 8 つのイベントに加え、内部ウェイクアップイベント時に多重化された、24 本のウェイクアップピン
 - WUSELx は、RTC または TAMP でウェイクアップするために、11 に設定する必要がある
 - WUSELx=11 の場合: WUFx は、すべての内部ウェイクアップソースがクリアされたときにハードウェアによってクリアされる

ウェイクアップイベント	(WUSELx = 00)	(WUSELx = 01)	(WUSELx = 10)	(WUSELx = 11)
WKUP1	PA0	PB2	PE4	-
WKUP2	PA4	PC13	PE5	-
WKUP3	PE6	PA1	PB6	-
WKUP4	PA2	PB1	PB7	-
WKUP5	PC5	PA3	PB8	-
WKUP6	PB5	PA5	PE7	RTC_ALRA_S または RTC_ALRB_S または RTC_WUT_S または RTC_TS_S
WKUP7	PB15	PA6	PE8	RTC_ALRA または RTC_ALRB または RTC_WUT または RTC_TS
WKUP8	PF2	PA7	PB10	TAMP または TAMP_S



30

STANDBY 状態を終了するために使用されるクロックソースは、1 ~ 4 MHz の MSI です。

STANDBY 状態において、SRAM2 の 2 つの部分(8 KB の部分 1 つと 56 KB の部分 1 つ)は個別に保持できます。

2 KB のバックアップ SRAM は STANDBY モードで保持されますが、SHUTDOWN モードでは保持されません。

この表は、STANDBY モードまたは SHUTDOWN モードを終了するときアクティブなままになるピンを示しています。

24 本のウェイクアップピンと 8 本の RTC タンパピンは、8 つのイベントに対して多重化されます(ウェイクアップ 1 から 8)。WUSEL ビットフィールドで、ウェイクアップを発生させるピンとイベントを選択します。

RTC または外部タンパ検出を使ってウェイクアップするには、WUSEL をバイナリ 11 に設定する必要があります。

VBAT モード

- アクティブセル(有効な場合)
- クロックオフセル(機能しない)
- パワーダウン状態のセル

レギュレータ

SMPS(ULP) (SRAM2 の場合)
LDO (HP)
LPREG (SRAM2 の場合)

クロック供給

HSI16
HSI48
HSE
MSI(最大 24 MHz)
LSI
LSE
PLL
CSS
LSE の CSS



CPU

Cortex® M33

IO

-

メモリ

Flash (2 MB)
SRAM1 (192 KB)
SRAM2 (64 KB)
SRAM3 (512 KB)
SRAM4 (16 KB)
BKPSRAM (2 KB)
バックアップレジスタ
FSMC
OCTOSPI

内部ペリフェラル

GPIO	ADC1
LPGPIO	ADC4
GPDMA1	温度センサ
LPDMA1	DAC1-2
DMA2D	VREFBUF
CRC	OPAMP1-2
USART1-5	COMP1-2
LPUART1	CORDIC_
I2C1, 2, 4	FMAC
I2C3	MDF1
SPI1-2	ADF1
SPI3	DCMI
FDCAN1	PSSI
SDMMC1-2	TSC
SAI1-2	TIM1-8, 15-17
OTG_FS, UCPD1	LPTIM1, 3, 4
RNG	LPTIM2
AES, AES	IWDG
HASH アクセラレータ	WWDG
OTFDEC1-2	RTC
PKA	TAMP
SYSTICK	TAMP の供給と温度の監視

- 有効なリセットソース
 - 有効なウェイクアップソース
- ソース、リセット、またはウェイクアップとしては使用不可

リセットソースとウェイクアップイベント

NRST	GPIO (24 ピン)
BOR	ADC4
PVD	GPDMA1
PVM	LPDMA1
RTC	USART1-5
TAMP	LPUART1
SRAM2-3 ECC エラー	I2C1, 2, 4
OTG_FS	I2C3
COMP	SPI1-2
LPTIM1, 3, 4	SPI3
LPTIM2	MDF1
IWDG	ADF1

31

VBAT は、RTC、32 kHz の外部クロックオシレータ、バックアップレジスタ、およびオプションでバックアップ SRAM の VDD が存在しない場合の電源です。

RTC なしの VBAT モードでの消費電力は、1.8 V で 120 ナノアンペア、RTC ありで 450 nA です。

VDD が特定の閾値を下回る場合、バックアップドメインの電源は自動的に VBAT に切り替わります。VDD が通常に戻ると、バックアップドメインの電源は自動的に VDD に戻ります。

バックアップバッテリーレベルを監視するために、VBAT 電圧は ADC 入力チャンネルに内部接続されます。

VBAT モード

- VDD が存在するときの VBAT バッテリ充電
- VBAT ブラウンアウトリセット(1.58V)
- 2 KB の BKPSRAM を保持可能(オプションでタンパによって保護)
- RTC および TAMP は LSE または LSI でアクティブ(8 タンパピンを含む)
- タンパにつながる LSE クロックセキュリティシステムの内容:
 - クロック損失検出およびオーバー周波数検出(2 MHz)
 - グリッチフィルタリング(2 MHz)
- タンパにつながる温度およびバックアップドメイン電圧の監視



32

バッテリー充電機能により、VDD 供給が存在する場合、内部抵抗を介して VBAT ピンに接続されたスーパーコンデンサを充電できます。

充電はソフトウェアによって有効にされ、ソフトウェアに応じて $5k\Omega$ または $1.5k\Omega$ の抵抗を介して行われます。

バッテリー充電は、VBAT モードで自動的に無効になります。

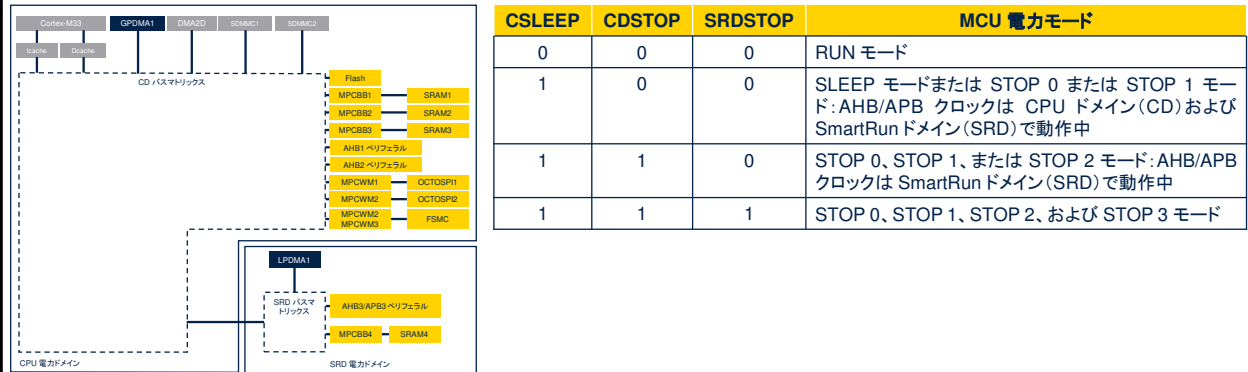
VBAT 電源ドメインには専用のブラウンアウトリセット回路があります。

RTC は、内部または外部ロースピードオシレータを使用することで、アクティブなままであることを注意してください。

温度およびバックアップドメイン電圧の監視は、タンパに加え、LSE クロックの喪失検出やオーバー周波数検出につながる場合があります。

これらのタンパイベントは、バックアップ SRAM とバックアップレジスタの消去を行うようにプログラムできます。

PWR モードの出カピン



33

デバッグに役立つよう、デバイスピンのオルタネート機能として、CSLEEP、CDSTOP、および SRDSTOP の 3 つの信号が用意されています。

対応する 3 ビットの組み合わせは、マイクロコントローラの現在の電力モードを示します。

CSLEEP、CDSTOP、および SRDSTOP はコアドメインで生成されるため、STANDBY モードおよび SHUTDOWN モードでは駆動されません。

これらは、外部ボードレベルの電源管理ロジックでも使用できます。

セキュア保護と特権保護

- 個別のセキュリティ設定:
 - 低消費電力モード
 - ウェイクアップピン
 - 電圧検出
 - 電力監視
 - バックアップドメイン
 - プルアップ/プルダウン設定の I/O
- 追加の PWR 設定ビットは以下の場合に自動的にセキュア:
 - RCC でシステムクロックの選択がセキュアな場合:
 - PWR の電圧スケーリング (VOS) 設定はセキュア
 - GPIO がセキュアとして設定されている場合:
 - STANDBY モードのプルアップ/プルダウン設定の PWR における対応するビットはセキュア
 - UCPD がセキュアな場合:
 - PWR における UCPD_DBDIS ビット (USB Type-C およびパワーデリバリッド/バッテリーの無効化) と UCPD_STDBY ビット (USB Type-C およびパワーデリバリの STANDBY モード) はセキュア
- 4 つの隔離されたスレッドをサポートするための、セキュアレジスタ/ビット (SPRIV) と非セキュアレジスタ/ビット (NSPRIV) の個別の特権保護設定: S/P; S/NP; NS/P; NS/NP



34

PWR は TrustZone 対応のモジュールです。一部の PWR レジスタのセキュア属性と特権レベルは両方ともプログラム可能で、セキュア特権、セキュア非特権、非セキュア特権、および非セキュア非特権の 4 つの区分を有効にします。

PWR の TrustZone セキュリティは、セキュリティ設定レジスタを使用して、低消費電力モード、ウェイクアップ (WKUP) ピン、電圧の検出および監視、VBAT モード、および I/O のプルアップ/プルダウン設定の機能を提供します。

- 一部の機能のセキュリティは、継承メカニズムに基づいています。
- RCC のシステムクロック選択がセキュアな場合、電圧スケーリング (VOS) 設定とレギュレータブースタはセキュアです。
- GPIO がセキュアに設定されている場合、STANDBY モードのプルアップ/プルダウン設定の対応するビットはセキュアです。
- UCPD1 が GTZC でセキュアな場合、PWR_UCPDR レジスタはセキュアです。

Our technology starts with You

© STMicroelectronics - All rights reserved.

ST logo is a trademark or a registered trademark of STMicroelectronics International NV or its affiliates in the EU and/or other countries.

For additional information about ST trademarks, please refer to www.st.com/trademarks.

All other product or service names are the property of their respective owners.



このトレーニング以外にも、次のプレゼンテーションを参照してください。

- リセットおよびクロックコントローラ
- リアルタイムクロック
- タンパ
- STM32CubeMX(消費電力計算機能の説明中心)